



## Laboratorium układów elektronicznych

### Ćwiczenie 7

## Pętla synchronizacji fazowej PLL

### Zagadnienia do przygotowania

- Budowa i zasada działania pętli synchronizacji fazowej
- Podstawowe parametry PLL
- Detektory fazy w PLL
- Rola filtra dolnoprzepustowego w PLL
- Zastosowania pętli synchronizacji fazowej

### Literatura

- [1] P. Horowitz, W. Hill, Sztuka elektroniki,
- [2] S. Soclof, Zastosowania analogowych układów scalonych
- [3] U. Tietze, Ch. Schenk, Układy półprzewodnikowe
- [4] J. Baranowski, G. Czajkowski, Układy elektroniczne cz. II
- [5] Laboratorium układów elektronicznych Cz. I, Oficyna Wydawnicza Politechniki Wrocławskiej

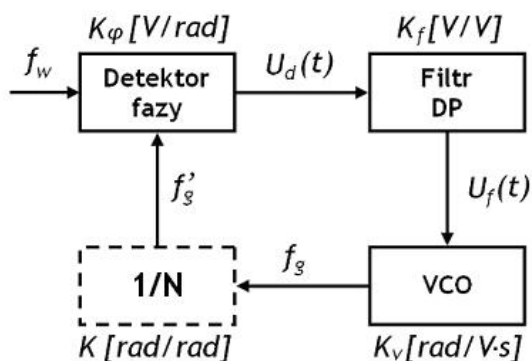
## 1. Wstęp teoretyczny

Pętla synchronizacji fazowej (ang. *Phase-Locked Loop* - PLL) stanowi jeden z podstawowych układów wykorzystywanych w nowoczesnej elektronice. Służy między innymi do modulacji i demodulacji częstotliwości (FM, FSK), syntezy częstotliwości, regeneracji sygnałów zegarowych, synchronizacji, demodulacji amplitudy (AM) itd. Znajduje szerokie zastosowanie w takich urządzeniach jak modemy, odbiorniki telewizyjne, odbiorniki radiowe, mikroprocesory, układy logiki programowalnej, generatory częstotliwości wzorcowych oraz wiele innych.

Ze względu na zasadę działania rozróżnia się dwa rodzaje pętli synchronizacji fazowej: analogową, gdzie sygnały sterujące pętlą mają postać analogową, oraz cyfrową, gdzie sygnały sterujące stanowią ciąg impulsów napięciowych odpowiadających stanom logicznym zera oraz jedynki. W powyższym ćwiczeniu będą badane właściwości analogowej pętli PLL.

### 1.1. Budowa i zasada działania układu pętli synchronizacji fazowej

Rys. 1. zawiera schemat blokowy układu pętli synchronizacji fazowej, który składa się z detektora fazy, filtra dolnoprzepustowego, generatora przestrajanego napięciem VCO (z ang. Voltage Controlled Oscillator) oraz opcjonalnie z dzielnika częstotliwości. Zadaniem pętli PLL jest zrównanie częstotliwości generatora wbudowanego  $f_g$  z częstotliwością generatora wzorcowego  $f_w$  tak, aby różnica faz przebiegów była niezmienna w czasie. Detektor fazy dokonuje porównania przesunięcia fazowego sygnałów  $f_w$  oraz  $f_g$ . Napięcie wyjściowe  $U_d(t)$ , proporcjonalne do różnicy faz, jest przetwarzane w bloku filtra dolnoprzepustowego, celem usunięcia niepożądanych składowych. W następnym kroku napięcie to podawane jest na wejście generatora VCO. W generatorze VCO następuje konwersja napięcia na odpowiadającą mu częstotliwość, która porównywana jest dalej w bloku detektora fazy. Dodatkowo można zastosować dzielnik częstotliwości, dzięki któremu istnieje możliwość powielania częstotliwości wzorcowej  $f_w$ .



Rys. 1. Schemat blokowy układu pętli synchronizacji fazowej

## 1.2. Podstawowe parametry pętli synchronizacji fazowej

Aby zrozumieć zasadę działania pętli synchronizacji fazowej rozważmy przypadek detektora fazy w postaci czteroćwiartkowego układu mnożącego. Niech na wejścia detektora fazy zostaną podane dwa sygnały  $U_w = U_w \sin(\omega_0 t + \varphi_w)$  oraz  $U_G(t) = U_G \sin(\omega_0 t + \varphi_G)$ , wówczas sygnał wyjściowy po wymnożeniu wyraża się wzorem:

$$U_d(t) = \frac{1}{2} U_G U_w \sin(\varphi_G - \varphi_w) + \frac{1}{2} U_G U_w \sin(2\omega_0 t + \varphi_G + \varphi_w). \quad 1.1$$

Po odfiltrowaniu szybkoszmiennego w czasie sygnału o pulsacji  $2\omega_0$  pozostaje sygnał proporcjonalny do przesunięcia fazowego  $\phi$  między dwoma przebiegami wejściowymi. Powstaje chwilowe napięcie na wyjściu detektora fazy, które można opisać zależnością:

$$U_d = K_\phi \left( \phi - \frac{\pi}{2} \right). \quad 1.2$$

Jeżeli przyjmiemy, że transmitancja filtra dolnoprzepustowego pierwszego rzędu w paśmie pracy pętli wynosi  $K_f = 1$ , to napięcie sterujące generatorem VCO spowoduje, że na jego wyjściu dostaniemy częstotliwość równą:

$$f = f_0 + K_v U_d, \quad 1.3$$

gdzie  $K_v$  jest współczynnikiem konwersji napięcia wejściowego generatora VCO na częstotliwość.

Rozważmy teraz w jaki sposób pętla synchronizacji fazowej synchronizuje się z sygnałem wzorcowym. Załóżmy, że PLL jest w stanie synchronizmu. Napięcie detektora przyjmuje wartość minimalną oraz maksymalną dla  $\phi = 0$  oraz  $\phi = \pi$ , więc ekstremalne częstotliwości generatora VCO wynoszą:

$$f_{\min, \max} = f_0 \pm K_\phi K_V \frac{\pi}{2} = f_0 \pm \Delta f_T \dots \quad 1.4$$

Stąd zakres częstotliwości, dla której pętla jest jeszcze w stanie synchronizmu (zakres trzymania) wynosi:

$$2\Delta f_T = K_\phi K_V \pi \dots \quad 1.5$$

Jeżeli różnica częstotliwości  $f_w$  oraz  $f_g$  jest zbyt duża, to zmiana kąta fazowego  $\frac{d\phi}{dt} = \omega_G - \omega_0$  jest na tyle szybka, że napięcie wyjściowe detektora fazy zmienia się w czasie zbyt gwałtownie i jest silnie tłumione w bloku filtra dolnoprzepustowego. Co powoduje, że generator VCO nie jest w stanie dostosować swojej częstotliwości do częstotliwości wzorcowej.

Przyjrzyjmy się teraz zakresowi częstotliwości dla którego PLL jest w stanie zsynchronizować się z sygnałem wzorcowym. Po załączeniu układu istnieje różnica częstotliwości między generatorem VCO a sygnałem wzorcowym. Powoduje to zmianę przesunięcia fazowego między sygnałami, co z kolei wpływa na zmianę częstotliwości generatora VCO. Istnieje taki zakres częstotliwości przestrajania generatora VCO, dla którego pętla PLL jest w stanie tak wyregulować przesunięcie fazowe, że będzie ono niezmiennie w czasie, a więc częstotliwość VCO będzie równa częstotliwości wzorcowej. Na ten zakres (zakres chwytania) najbardziej wpływa dobór filtra dolnoprzepustowego. Częstotliwość graniczna filtra DP wyraża się wzorem:

$$f_{FDP} = \frac{1}{2\pi\tau}, \quad 1.6$$

gdzie  $\tau$  to stała czasowa filtra dolnoprzepustowego.

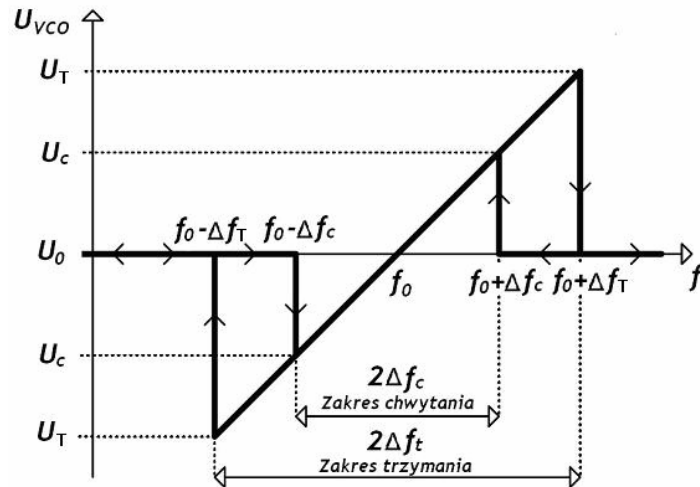
Można wykazać, że całkowity zakres chwytania  $2\Delta f_z$  pętli można wyrazić przybliżoną zależnością:

$$2\Delta f_C \approx 2\sqrt{f_{FDP}\Delta f_T}, \quad 1.7$$

gdzie  $2\Delta f_C$  - zakres chwytania pętli PLL.

Na rys. 2. przedstawiono zależność napięcia wyjściowego filtra dolnoprzepustowego RC w funkcji częstotliwości wzorcowej dla ustalonych parametrów generatora VCO. Warto zwrócić uwagę, że zarówno zakres trzymania, jak i chwytania, jest symetryczny względem częstotliwości środkowej  $f_0$  generatora VCO. Pętla PLL nie jest w stanie wejść w synchronizm, gdy częstotliwość wzorcowa leży poza zakresem  $2\Delta f_C$ . Natomiast gdy

układ jest w stanie synchronizmu jego zakres pracy mieści się z zakresie  $2\Delta f_T$ . Zakres trzymania jest niemniejszy niż zakres chwytania.

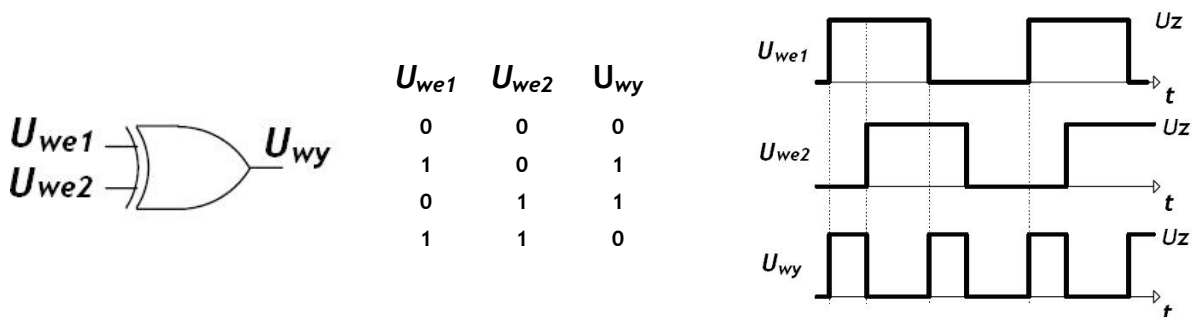


Rys. 2. Zakres chwytania i trzymania

### 1.3. Detektor fazy

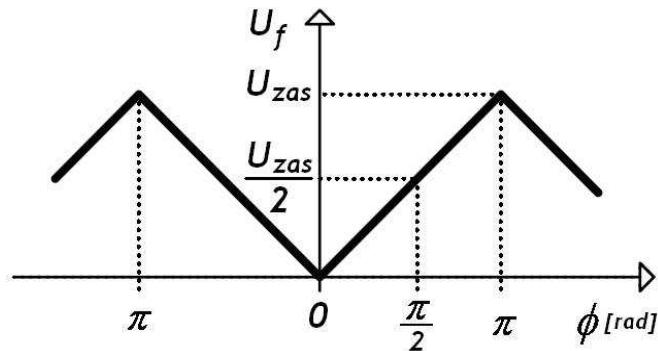
W zależności od rodzajów sygnałów wejściowych, rozróżnia się dwa podstawowe typy detektory fazy. Detektor fazy typu pierwszego jest tak zaprojektowany, że do jego wejścia można doprowadzić zarówno sygnały analogowe jak i cyfrowe w postaci fali prostokątnej. Aby zapewnić poprawne działanie detektora fazy typu drugiego, do jego wejścia należy doprowadzić sygnał cyfrowy, gdzie detektor reaguje tylko na jego zbocza.

Najprostszym detektorem fazy pierwszego typu jest bramka logiczna XOR. Stan wysoki jest ustawiony tylko w momencie, wystąpienia różnicy stanów wejściowych bramki XOR, a więc wtedy, gdy istnieje przesunięcie fazowe pomiędzy sygnałami wejściowymi.



Rys. 3. Charakterystyka bramki cyfrowa XOR

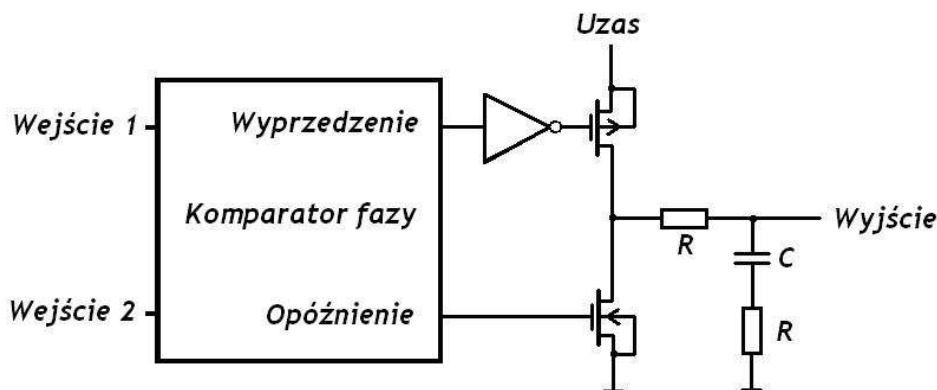
Jeżeli wyjście bramki XOR obciążony się filtrem dolnoprzepustowym, to napięcie na jego wyjściu będzie zmieniało się w funkcji przesunięcia fazowego  $\phi$  zgodnie z przebiegiem z rys. 4. Funkcja ta ma charakter okresowy. Maksymalne napięcie wyjściowe filtru  $U_f$  występuje dla  $\phi = \pi$ , minimalne zaś dla  $\phi = 0$ .



Rys. 4. Napięcie wyjściowe filtru dolnoprzepustowego RC w funkcji różnicy faz sygnałów wejściowych detektora fazy

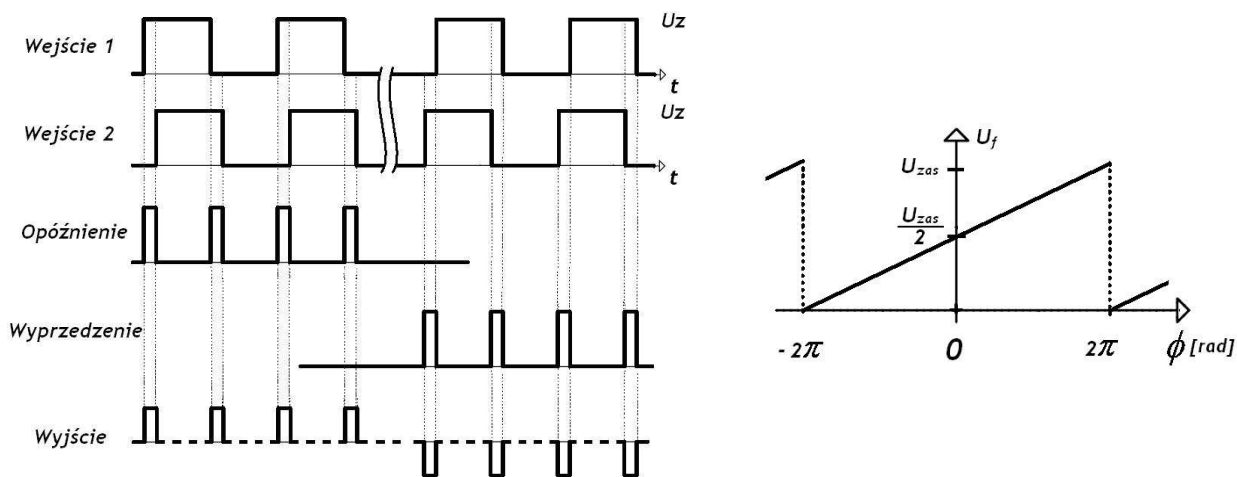
Ograniczeniem bramki XOR jako detektora fazy jest fakt, że poprawne jego działanie jest realizowane tylko wtedy, gdy sygnały wejściowe charakteryzują się współczynnikiem wypełnienia równym 0,5. Detektor fazy typu pierwszego zawsze wytwarza przebieg zmienny, który musi być filtrowany w bloku filtra dolnoprzepustowego. Sygnał wyjściowy generatora VCO jest przesunięty w fazie o  $90^\circ$  względem sygnału wzorcowego dla  $f_g = f_0$  oraz  $0$  i  $\pi$  na końcach zakresu trzymywania. Zawsze występują resztkowe tętnienia, które powodują kresowe zmiany fazy. Do zalet tego typu detektorów fazy można zaliczyć ich małą czułość na zakłócenia, które są tłumione w bloku filtra dolnoprzepustowego.

Detektor fazy drugiego typu charakteryzuje się dość skomplikowaną budową. Taki detektor reaguje tylko na zbocza sygnałów wejściowych, wytwarzając impulsy napięciowe „wyprzedzenia” lub „opóźnienia” w zależności, czy zbocze sygnału drugiego pojawiło się przed czy po zboczu sygnału pierwszego. Szerokość impulsów odpowiada przesunięciu fazowemu między przebiegami wejściowymi. W czasie trwania impulsu układ pompy ładunkowej w postaci dwóch tranzystorów polowych (rys. 5.) emituje bądź pochłania ładunek, który odkłada się na kondensatorze. W czasie pomiędzy impulsami układ pompy ładunkowej znajduje się w stanie wysokiej impedancji działając jak elektryczne rozwarcie i uniemożliwiając odpływ ładunku z kondensatora.



Rys. 5. Budowa detektora fazy drugiego rodzaju

Na rys. 6. przedstawiono przebiegi czasowe detektora fazy drugiego typu. Dla tego typu detektora w synchronizmie nie występuje przesunięcie fazowe w całym zakresie trzymywania. Dzięki temu na wyjściu nie pojawiają się tętnienia napięcia powodujące okresowe zmiany fazy. Ponadto na pracę detektora fazy drugiego typu nie wpływa współczynnik wypełnienia fali prostokątnej sygnału wejściowego. Wadą tego rozwiązania jest dość duża wrażliwość na zakłócenia. Pętla PLL z detektorem drugiego typu, będąca poza synchronizmem, wytwarza przebieg o częstotliwości minimalnej generatora VCO, w przeciwieństwie do pętli z detektorem fazy pierwszego typu, gdzie  $f_g = f_0$ .



Rys. 6. Przebiegi czasowe detektora drugiego rodzaju oraz napięcie wyjściowe filtra DP

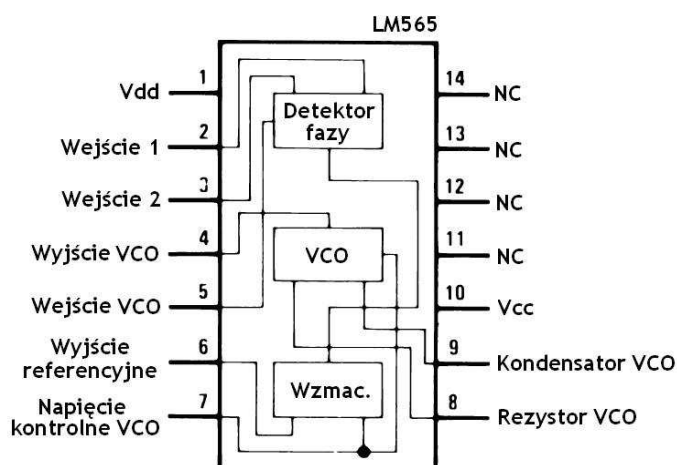
## 1.4. Filtr dolnoprzepustowy

Filtr dolnoprzepustowy stanowi niewrażliwy element pętli synchronizacji fazowej (tzw. pętli drugiego rzędu). Od doboru jego elementów zależy zakres chwytania oraz wrażliwość układu na zakłócenia zewnętrzne. Istnieją rozwiązania pętli synchronizacji fazowej bez bloku filtra DP (tzw. pętla pierwszego rzędu), lecz taka konstrukcja cechuje

się brakiem tłumienia niepożądanego szumu oraz nie utrzymuje stałego przesunięcia fazy między sygnałem wzorcowym  $f_w$  a wyjściowym  $f_g$ . W pętli PLL istnieje możliwość zastosowania zarówno filtra DP pasywnego, opartego tylko na elementach RC, jak i aktywnego. Do realizacji tego ćwiczenia wykorzystuje się tylko filtr DP pasywny pierwszego rzędu. Więcej informacji na temat filtra DP zostanie przedstawione w punkcie 1.5 oraz 1.6.

## 1.5. Opis układy LM565

Układ LM565 (dostępny także jako NE565) stanowi kompletny tor pętli synchronizacji fazowej. W swojej budowie zawiera detektor fazy pierwszego typu, wzmacniacz oraz generator VCO. Filtr dolnoprzepustowy realizowany jest za pomocą zewnętrznych elementów biernych. Detektor fazy składa się z różnicowej trzech par różnicowych (patrz nota katalogowa,  $Q_1 - Q_6$ ) oraz tranzystora  $Q_{37}$  pracującego w układzie źródła prądowego. Napięcie wyjściowe detektora fazy ograniczone jest do  $\pm 0,7$  V przez tranzystory  $Q_7$  i  $Q_8$ , dzięki czemu ogranicza się wpływ zakłóceń na działanie układu PLL. Tranzystory  $Q_{10}$  i  $Q_{11}$  spolaryzowane tranzystorem  $Q_{39}$  tworzą wzmacniacz sygnału detektora fazy. Wewnętrzny rezystor  $R=3,6k\Omega$  po dołączeniu zewnętrznych elementów RC stanowi filtr dolnoprzepustowy. Generator VCO zbudowany jest m.in. ze źródła prądowego ( $Q_{12} - Q_{23}$ ), które zapewnia prąd ładowania oraz rozładowania zewnętrznego kondensatora (pin 9 układu, kondensator  $C_3$  na makiecie). Za pomocą zewnętrznego rezystora (pin 8 układu) ustala się częstotliwość spoczynkową generatora VCO. Według producenta układu, maksymalna częstotliwość pracy generatora VCO wynosi 500 kHz.



Rys. 7. Schemat ideowy układu LM565



Współczynnik przetwarzania kąta na napięcie dla napięcia zasilania  $\pm 6$  V wynosi  $K_\varphi = 0,68$  [V/rad]. Współczynnik przetwarzania napięcia na częstotliwość można wyznaczyć z poniższej zależności:

$$K_V = 0,66f_0[\text{Hz}/V] = 4,15f_0[\text{rad}/Vs]. \quad 1.8$$

Częstotliwość spoczynkowa generatora może zostać wyznaczona z przybliżonego wzoru

$$f_0 \cong \frac{0,3}{(R_{12} + R_{POT1})C_3}. \quad 1.9$$

Zakres trzymania określa się korzystając z zależności:

$$2\Delta f_T = \frac{8f_0}{U_{zas}}. \quad 1.10$$

przybliżony wzór wiążący zakres trzymania oraz chwytania ma postać:

$$2\Delta f_C \cong \frac{1}{\pi} \sqrt{\frac{\pi 2\Delta f_T}{N 3,6 \cdot 10^3 C_5}}. \quad 1.11$$

Częstotliwości graniczna filtru DP typu „lead” wyznacza się ze wzoru:

$$f_{FDP} = \frac{1}{2\pi} \sqrt{\frac{K_\varphi K}{\tau_1}}. \quad 1.12$$

natomiast dla filtru typu „lag-lead” przyjmuje postać:

$$f_{FDP} = \frac{1}{2\pi} \sqrt{\frac{K_\varphi K}{\tau}}, \quad 1.13$$

gdzie:  $K_\varphi K = \frac{33,6f_0}{U_{zas}}$  oraz

$$\tau_1 = 3,6kC_5,$$

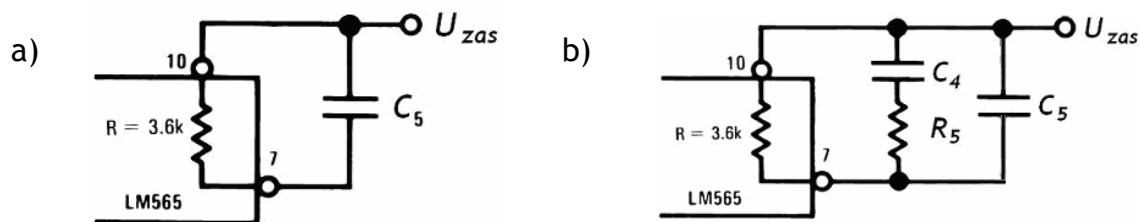
$$\tau = (R + R_5)C_4,$$

$$R_5 \cong (0,1 \div 0,2)3,6k\Omega,$$

$$C_5 \leq 0,1C_4,$$

$K$  - wzmacnienie sygnału detektora fazy

$N$  - współczynnik podziału częstotliwości generatora VCO



Rys. 8. Budowa filtru typu a) „lead”, b) „lag-lead”

## 1.6. Opis układu CD4046

Układ CD4046 podobnie jak LM565 posiada w swojej budowie wszystkie niezbędne komponenty do zbudowania pętli synchronizacji fazowej. Zawiera detektor fazy pierwszego i drugiego typu oraz generator VCO, którego parametry określa się za pomocą zewnętrznych elementów biernych. Istnieją też warianty układu 4046, które w swojej budowie zawierają też trzeci detektor fazy, ale nie będzie on przedmiotem ćwiczeń laboratoryjnych. Przybliżony wzór na częstotliwość minimalną i maksymalną generatora VCO wyznacza się z przybliżonej zależności:

$$f_{\min} \cong \frac{1}{R_2(C_1 + 32 \text{ pF})} \quad \text{dla } U = 0, \quad 1.14$$

$$f_{\max} \cong \frac{1}{R_1(C_1 + 32 \text{ pF})} + f_{\min} \quad \text{dla } U = U_{ZAS}, \quad 1.15$$

gdzie:  $U$  - napięcie wejściowe generatora VCO

$$10 \text{ k}\Omega \leq R_2 \leq 1 \text{ M}\Omega, \quad 10 \text{ k}\Omega \leq R_1 \leq 1 \text{ M}\Omega, \quad 100 \text{ pF} \leq C_1 \leq 10 \text{ nF} \quad [4], [5].$$

Zakres trzymania dla detektora fazy typu pierwszego (bramka XOR) oraz drugiego wyznacza się z prostej relacji:

$$2\Delta f_T = f_{\max} - f_{\min}. \quad 1.16$$

Zakres chwymania dla detektora pierwszego typu opisuje przybliżony wzór:

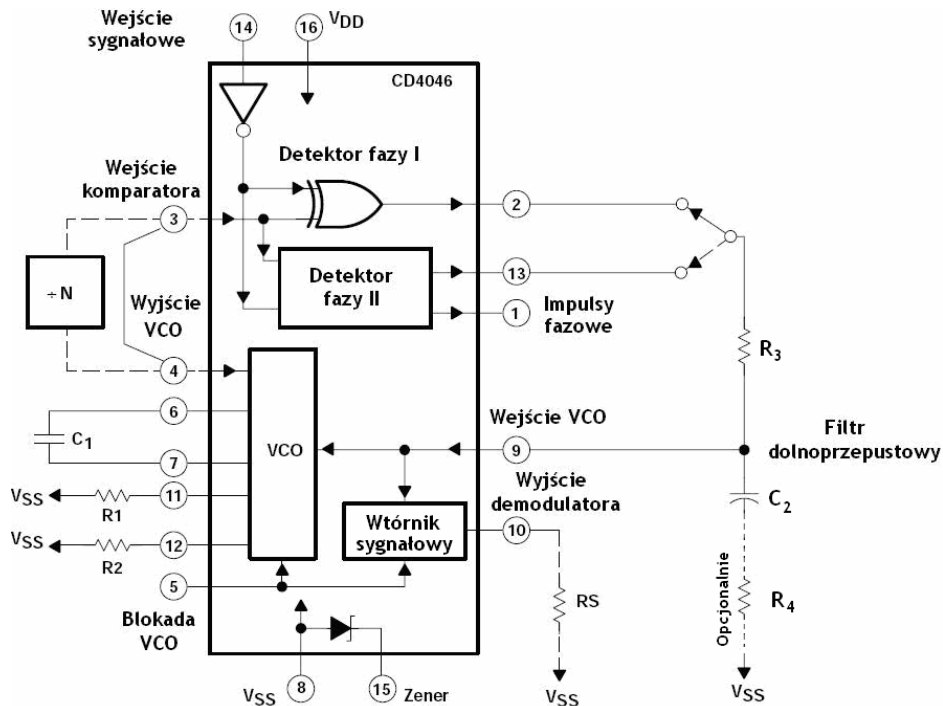
$$2\Delta f_C \cong \frac{1}{\pi} \sqrt{\frac{\pi 2\Delta f_T}{\tau_{FDP}}}, \quad 1.17$$

gdzie  $\tau_{FDP}$  - stała czasowa filtru dolnoprzepustowego.

Staća czasowa prostego filtru RC wyraża się prostą zależnością:

$$\tau_{FDP} = C_2 R_3. \quad 1.18$$

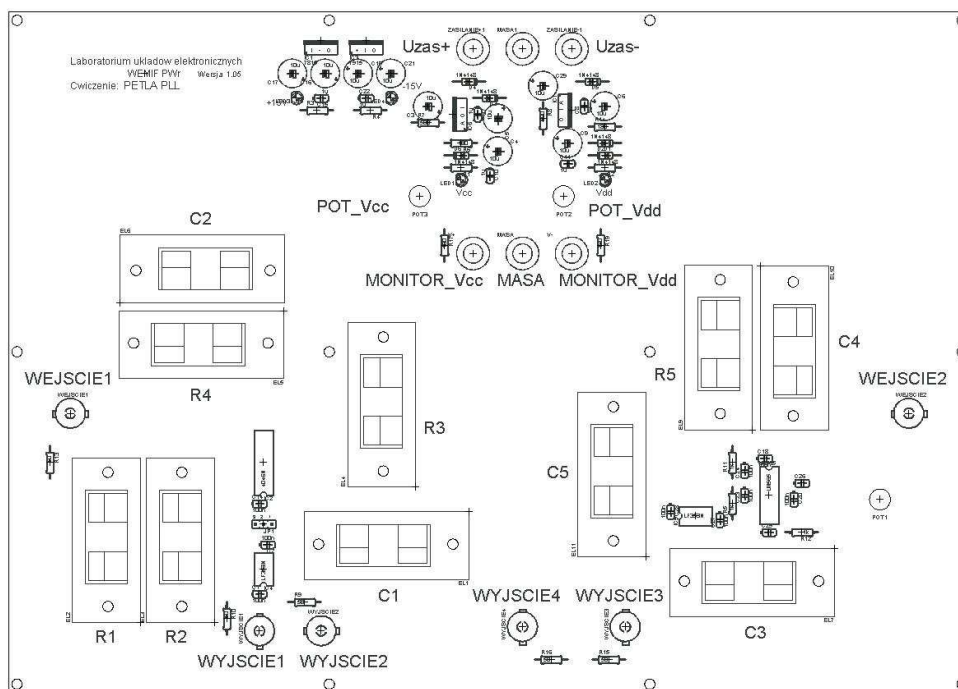
Dla detektora fazy drugiego rodzaju zakres trzymania równa się zakresowi chwymania.



Rys. 9. Schemat ideowy układu CD4046

## 2. Opis makiety pomiarowej

W trakcie zajęć laboratoryjnych badane będą właściwości układów pętli synchronizacji fazowej znajdujących się na dwóch makiety pomiarowych. Pierwsza z nich zawiera dwa typowe układy PLL CD4046 oraz LM565, dla których grupa laboratoryjna zobowiązana jest wykonać samodzielnie projekt. Na makiety znajduje się blok regulowanego zasilania układów PLL. Regulacji dokonuje się za pomocą potencjometrów jednoobrotowych. Dodatkowo blok zasilania zaopatrzone jest w złącze bananowe do monitorowania napięcia wyjściowego. Diody LED sygnalizują załączenie makiety do prądu. Po lewej stronie makiety został umieszczony układ CD4046. Wejście 1 służy do podawania na wejście pętli wzorcowego sygnału z zewnętrznego generatora. Napięcie z filtra dolnoprzepustowego podawane jest na Wyjście 1, natomiast sygnał wyjściowy pętli PLL podawany jest na Wyjście 2. Prawa strona makiety zawiera układ LM565, gdzie do Wejścia 2 dołącza się wzorcowy sygnał z zewnętrznego generatora. Wyjście 3 podłączone jest do wyjścia generatora VCO, natomiast Wyjście 4 stanowi podgląd napięcia na filtrze dolnoprzepustowym. W złącza głośnikowe montowane są elementy biernie pętli PLL, które zostaną uprzednio wyznaczone teoretycznie przez grupę laboratoryjną. Schemat ideowy makiety znajduje się w załączniku.



Rys. 10. Wygląd makiety pomiarowej „PETLA PLL”

### 3. Program ćwiczenia

#### 3.1 Pętla synchronizacji fazowej CD4046

Do pomiarów wykorzystać makietę „PETLA PLL”.

##### 3.1.1. Pomiar parametrów układu poza synchronizmem

Dla danych projektowych wyznaczyć częstotliwość znamionową generatora VCO przy zastosowaniu detektora fazy drugiego typu (zworka na mackiecie w pozycji 2-3) - generator VCO powinien wskazać częstotliwość minimalną (zadaną w projekcie). Pomiar wykonać przy pomocy miernika częstotliwości. W przypadku znacznych rozbieżności błąd skorygować zmieniając rezystor R2. Ustawić aktywny detektor fazy pierwszego typu. Wyznaczyć częstotliwość znamionową generatora VCO. W razie znacznych rozbieżności skorygować rezystor R1. Zmierzyć wpływ napięcia zasilania na wartość częstotliwości  $f_0$  oraz  $f_{\min}$  w zakresie od 5V do 10V. Wyznaczyć współczynnik

stabilności częstotliwości VCO  $\frac{\Delta f_0}{\Delta U_{ZAS}}$  oraz  $\frac{\Delta f_{\min}}{\Delta U_{ZAS}}$ .

### 3.1.2. Pomiar parametrów układu PLL w stanie synchronizmu

#### a) Pomiar zakresu trzymania i chwytania

- Ustawić napięcie zasilania pętli PLL na 5V. Do sterownia układu pętli PLL wykorzystać wyjście TTL generatora wzorcowego. Zmierzyć zakres trzymania oraz chwytania.
- Pomiar powtórzyć dla innego poziomu napięcia zasilania. Wykorzystać wyjście sygnałowe generatora. Ustawić sygnał sterujący na prostokąt o wartości minimalnej 0V oraz maksymalnej równej napięciu zasilania układu PLL lub wykorzystać wyjście TTL generatora sygnałowego.

#### b) Wpływ parametrów filtra dolnoprzepustowego na właściwości pętli PLL

- Ustawić napięcie zasilania na +5V. Wykorzystać wyjście TTL generatora wzorcowego. Wyznaczyć zakresy trzymania oraz chwytania dla dwóch innych wartości stałych czasowych filtra dolnoprzepustowego.
- Określić wpływ pasma filtra na zakres zaskoku pętli PLL dla detektora fazy pierwszego oraz drugiego typu.

#### c) Pomiar przesunięcia fazowego

- Określić przesunięcie fazowe częstotliwości wzorcowej względem częstotliwości generatora VCO w całym zakresie trzymania pętli. Do tego celu posłużyć się funkcjami kursorów w oscyloskopie. Pomiar wykonać dla detektora fazy pierwszego i drugiego typu.

#### d) Obserwacja napięcia sterującego generatorem VCO

- Zbadać napięcie sterujące generatorem VCO (napięcie wyjściowe filtra dolnoprzepustowego) dla pętli będącej poza synchronizmem oraz dla pętli w stanie synchronizmu. Ustawić w generatorze wzorcowym funkcje przemiatania częstotliwości w zakresie trzymania oraz chwytania pętli oraz zarejestrować zmiany napięcia sterującego generatorem VCO za pomocą oscyloskopu.
- Wyniki porównać z wykresem teoretycznym (Rys. 2).

### e) Powielanie częstotliwości

- Pętla PLL z detektorem pierwszego typu może synchronizować się na harmonicznym przebiegu wzorcowego. Spróbować uchwycić synchronizm pętli dla częstotliwości wzorcowych będących całkowitymi dzielnikami częstotliwości środkowej  $f_0$  pętli PLL.

## 3.2. Pętla synchronizacji fazowej LM565

Do pomiarów wykorzystać makietę „PETLA PLL”.

### 3.2.1. Pomiar parametrów układu PLL poza synchronizmem.

#### a) Pomiar zakresu trzymania oraz chwywania

- Dla danych projektowych zmierzyć za pomocą multimetru KEITHLEY częstotliwość znamionową generatora VCO. Pomiar wykonać w zakresie napięć zasilania od  $\pm 5$  V do  $\pm 10$  V.
- Wyznaczyć współczynnik stabilności częstotliwości VCO  $\frac{\Delta f_0}{\Delta U_{ZAS}}$ .

### 3.2.2. Pomiar parametrów układu PLL w stanie synchronizmu

- Dla elementów wyznaczonych teoretycznie określić zakresy trzymania oraz chwywania. Pomiar wykonać przemiatając częstotliwość wzorcową dla napięcia zasilania  $\pm 6$  V. Przebiegi obserwować na oscyloskopie.
- Powtórzyć pomiar dla kilku innych wartości napięć zasilania np.  $\pm 5$  V oraz  $\pm 7$  V.
- Ocenić wpływ kształtu sygnału wejściowego na działanie pętli PLL. Do wejścia doprowadzić sygnał sinusoidalny, prostokątny oraz piłokształtny.

#### b) Określić wpływ parametrów filtra dolnoprzepustowego na właściwości pętli PLL

- Wyznaczyć zakres trzymania oraz chwywania dla kilku (np. dwóch) stałych czasowych filtra typu „lead” (Zmiana kondensatora  $C_5$ ).
- Wyznaczyć zakres trzymania oraz chwywania dla elementów filtra typu „Lag-Lead” wyznaczonych z założeń projektowych.

### c) Pomiar przesunięcia fazowego

- Określić przesunięcie fazowe częstotliwości wzorcowej względem częstotliwości generatora VCO dla napięcia zasilania  $\pm 6V$  w całym zakresie trzymania pętli. Do tego celu posłużyć się funkcjami kursorów w oscyloskopie.

### d) Obserwacja napięcia sterującego generatorem VCO

- Zbadać napięcie sterujące generatorem VCO dla pętli będącej poza synchronizmem oraz dla pętli w stanie synchronizmu. Ustawić w generatorze wzorcowym funkcje przemiatań częstotliwości w zakresie trzymania oraz chwywania pętli oraz zarejestrować zmiany napięcia sterującego generatorem VCO za pomocą oscyloskopu.
- Wyniki porównać z wykresem teoretycznym (rys. 2).

### e) Powielanie częstotliwości

- Spróbować uchwycić synchronizm pętli dla częstotliwości wzorcowych będących całkowitymi dzielnikami częstotliwości środkowej  $f_0$  pętli PLL.

## 3.3. Zadanie projektowe

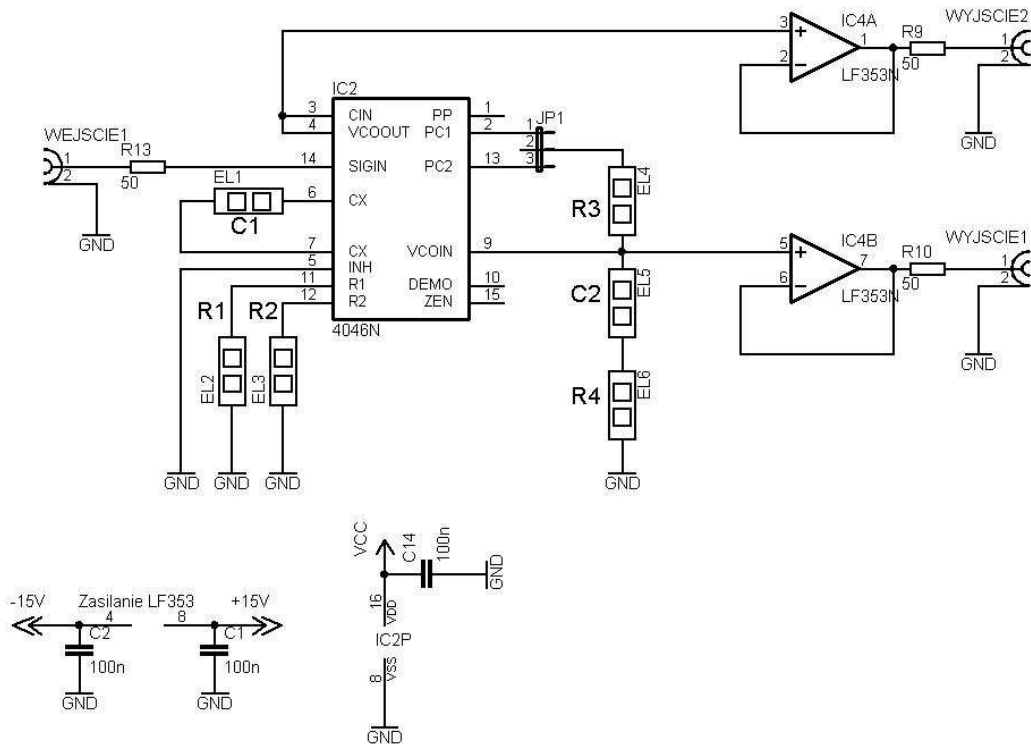
W tygodniu poprzedzającym zajęcia prowadzący ustala założenia projektowe. Dla układu CD4046 należy wyznaczyć wartości elementów biernych wchodzących w skład pętli PLL tak, aby uzyskać założone zakresy trzymania oraz chwywania. Dla układu LM565, podobnie jak w przypadku CD4046, należy dobrać elementy bierne. Należy uwzględnić fakt, że w makiiecie zamontowane są stałe rezystor  $1k\Omega$  w szeregu z potencjometrem  $4,7k\Omega$ , które wpływają na częstotliwość środkową generatora VCO (patrz załącznik ze schematem ideowym makiety „PETLA PLL”).

### Spis aparatury

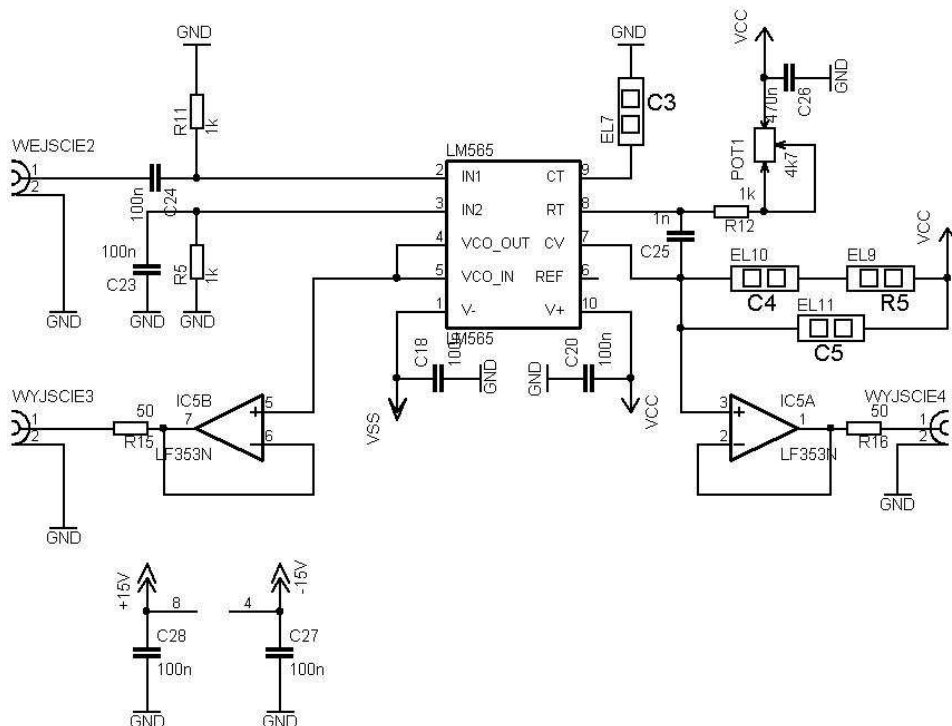
- Makieta pomiarowa „PETLA PLL”
- Oscyloskop cyfrowy TDS1001B
- Generator cyfrowy AFG3021
- Zasilacz laboratoryjny stabilizowany oraz modułowy zasilacz laboratoryjny HAMEG
- Panelowy multimetr cyfrowy HAMEG
- Multimetr cyfrowy KEITHLEY 2000

## ZAŁĄCZNIK A

### Schemat ideowy makiety „PETLA PLL”

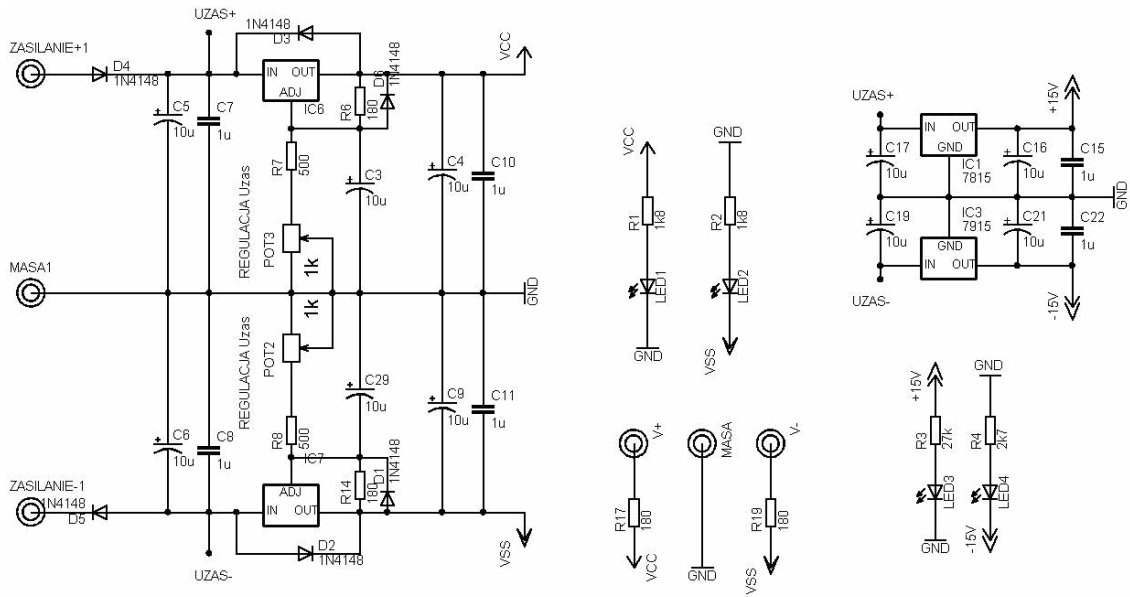


Rys. 11. Schemat ideowy pętli PLL na bazie układu CD4046



Rys. 12. ideowy pętli PLL na bazie układu LM565





Rys. 13. Schemat ideowy zasilania makiety pomiarowej „PETLA PLL”