



# Politechnika Wroclawska

## Laboratorium Podstaw Techniki Cyfrowej i Mikroprocesorowej

### Ćwiczenie 6 Pamięci nieulotne

#### Zagadnienia do przygotowania

- Klasyfikacja pamięci
- Zaznajomienie się z kartami katalogowymi pamięci używanych w ćwiczeniu

#### Literatura

- [1] Wykład
- [2] Andrzej Skorupski, „Podstawy techniki cyfrowej” WKiŁ 2001

## 1. Wstęp

Tematem ćwiczenia jest zapis i odczyt informacji z nieulotnych pamięci z równoległą i szeregową transmisją danych.

W ćwiczeniu używa się modułów z dwoma rodzajami pamięci: równoległą pamięcią typu FRAM firmy RAMTRON typ FM18L08-70 oraz szeregową pamięcią EEPROM firmy Microchip typ 93LC56B

Ćwiczenie wymaga programu Makieta.exe w wersji 1.7 lub nowszej oraz makiety z wersją firmware 0.50 lub nowszej.

### 1.1. Pamięć równoległa FRAM

Pamięć ta jest pamięcią nieulotną z równoległym interfejsem danych o organizacji 32k x 8bit. Na makiecie wyprowadzone są linie adresowe A0..A8 (pozostałe są zwarte do masy), linie sterujące  $\overline{CE}$  (Chip Enable – aktywacja układu),  $\overline{OE}$  (Output Enable – aktywacja wyjść danych) oraz  $\overline{WE}$  (Write Enable – aktywacja zapisu) oraz wejścia / wyjścia danych D0..D7. Oprócz tego na makiecie są dostępne piny ze stałą wartością 1 oraz 0.

Cykl odczytu z pamięci przedstawiony jest na rysunku „Read Cycle Timing” na stronie 8 karty katalogowej. Odczyt wymaga podania adresu na wejścia adresowe oraz wpisania adresu za pomocą zmiany stanu  $\overline{CE}$ . Na wyjściach danych (pod warunkiem ich aktywacji) pojawia się informacja zapisana w komórce pamięci pod adresem podanym na wejścia adresowe.

Zapis odbywa się dwutaktowo (rysunki „Write Cycle Timing”). Najpierw w trakcie opadającego zbocza na wejściu  $\overline{CE}$  pamięć zatrzymuje adres podany wcześniej na wejścia adresowe, po czym w trakcie narastającego zbocza na wejściu  $\overline{WE}$  następuje zapis pod ten adres danej podanej wcześniej na wejście danych. Oba te sygnały sterujące mogą zmieniać się jednocześnie.

### 1.2. Pamięć szeregową FLASH

Pamięć szeregową FLASH obsługiwana jest prostym interfejsem szeregowym. Posiada on sygnał CS aktywujący pamięć, sygnał taktujący CLK, wejście danych DI oraz wyjście danych DO.

Cykle zapisu i odczytu opisane są w dokumentacji. W trakcie ćwiczenia będzie jedynie odczytywana informacja z pamięci. Mamy do czynienia z układem o organizacji 128x16 bitów zatem jest to tabela 1-3 oraz wykres 2-7. Odczyt polega na wygenerowaniu szeregowo podawanej na wejście sekwencji bitów 1 1 0 x A6 A5 A4 A3 A2 A1 A0 i utrzymaniu sygnału zegarowego aż zostanie odczytane 16 bitów.

## 2. Realizacja ćwiczenia

Program ćwiczenia obejmuje:

- odczyt informacji z pamięci równoległej FRAM spod adresu podanego przez prowadzącego
- zapis informacji do pamięci równoległej FRAM pod adres wskazany przez prowadzącego i jej odczyt w celu weryfikacji prawidłowości zapisu
- odczyt informacji z pamięci szeregowej FLASH spod adresu wskazanego przez prowadzącego

## 2.1. Punktacja

<i>Nr</i>	<i>Czynność</i>	<i>Pkt.</i>	<i>Sprawozdanie</i>
1	Odczyt informacji z pamięci FRAM	2	tak
2	Zapis i weryfikacja zapisu w pamięci FRAM	4	tak
3	Odczyt informacji z pamięci FLASH	4	tak

<i>Skala ocen</i>					
<i>Suma punktów</i>	10-9	8	7-6	5	4
<i>Ocena</i>	5	4,5	4	3,5	3