



**Katedra
Nanometrologii**

LABORATORIUM
PROGRAMOWALNYCH UKŁADÓW
LOGICZNYCH

4. Realizacja interfejsu szeregowego (SPI)

W12IEA-SI0038P

W12EIT-SI0106P

[wzn.pwr.edu.pl/materialy-
dydaktyczne/PUL](http://wzn.pwr.edu.pl/materialy-dydaktyczne/PUL)

1. CEL ĆWICZENIA

Zapoznanie z budową interfejsu Serial Peripheral Interface (SPI) i przykładem jego realizacji w języku VHDL. Program zajęć obejmuje:

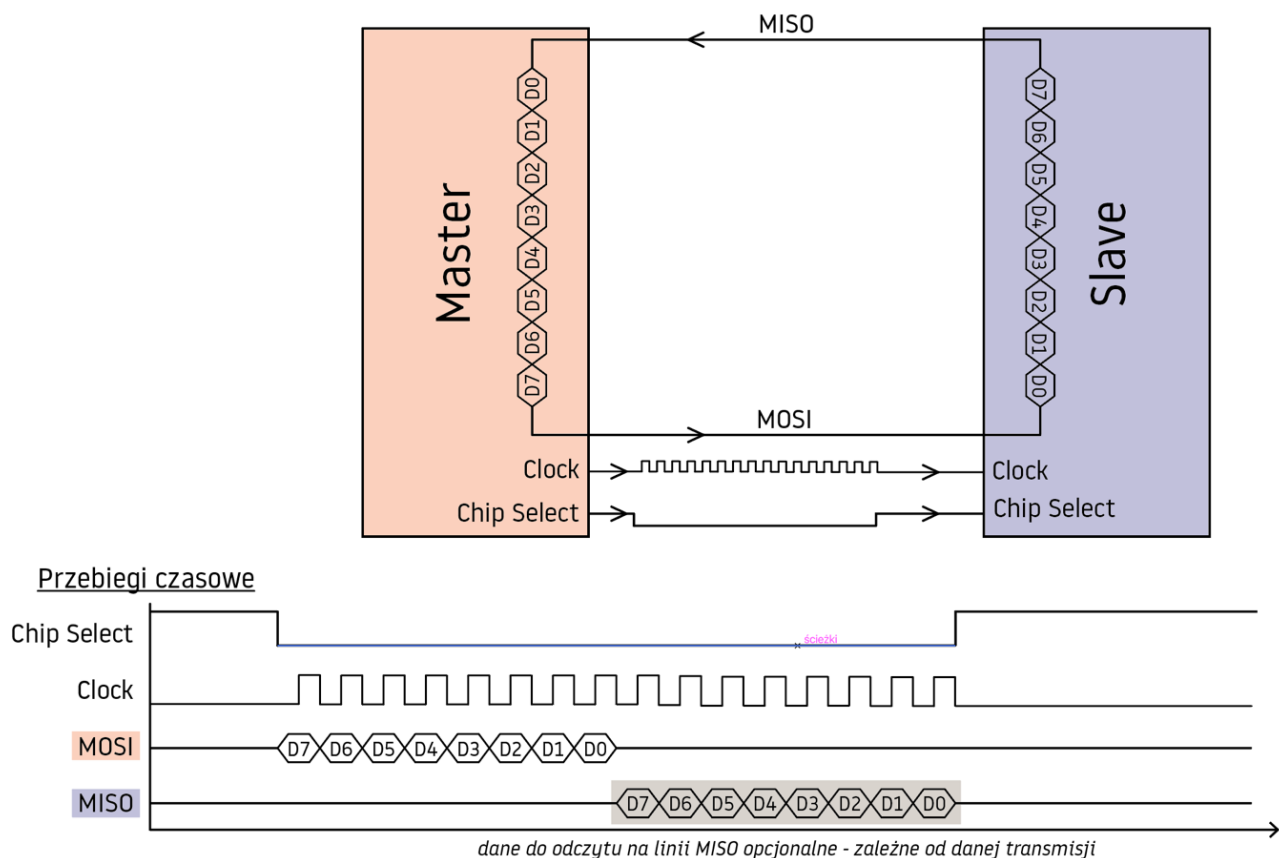
- elementy składowe nadajnika i odbiornika SPI,
- poprawny opis układu w języku VHDL,
- testowanie opisanej struktury w środowisku testowym,
- implementacja układu na makiecie.

1.1. WYMAGANIA WSTĘPNE

Obowiązują podstawowe pojęcia związane z projektowaniem układów logicznych, znajomość budowy i funkcji interfejsu Serial Peripheral Interface (SPI), a także podstawowych informacji o układzie MAX5705 z makiety (przetwornik C/A).

2. INTERFEJS SZEREGOWY – SERIAL PERIPHERAL INTERFACE

Interfejs SPI jest powszechnie stosowanym interfejsem szeregowym łączącym urządzenie nadrzędne (Master) z podrzędnymi peryferiami (Slave). Interfejs jest synchroniczny, posiada dwie linie danych w dwóch kierunkach: od układu nadrzędnego do podrzędnego (MOSI) oraz w przeciwnym (MISO) i wykorzystuje linię Chip Select do wyboru układu podrzędnego.



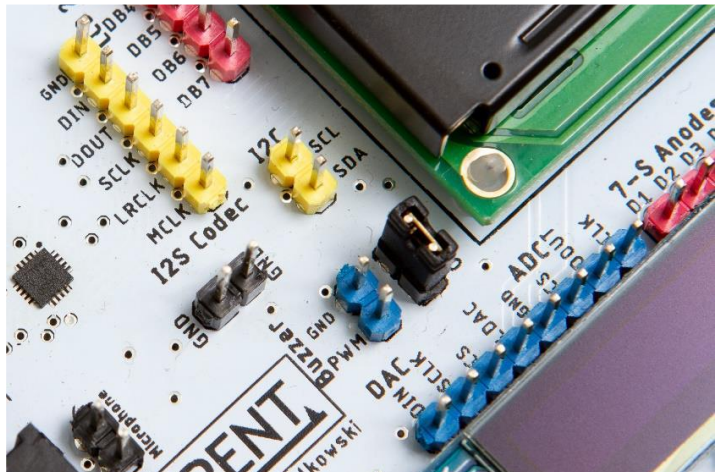
W każdej transmisji sygnał zegarowy nadaje układ nadrzędny. Również w sytuacji, gdy dane mają być odczytane z układu podrzędnego, to Master inicjuje transmisję. W przypadku

komunikacji z układami peryferyjnymi (np. z ADC, DAC) układ FPGA każdorazowo jest układem Master.

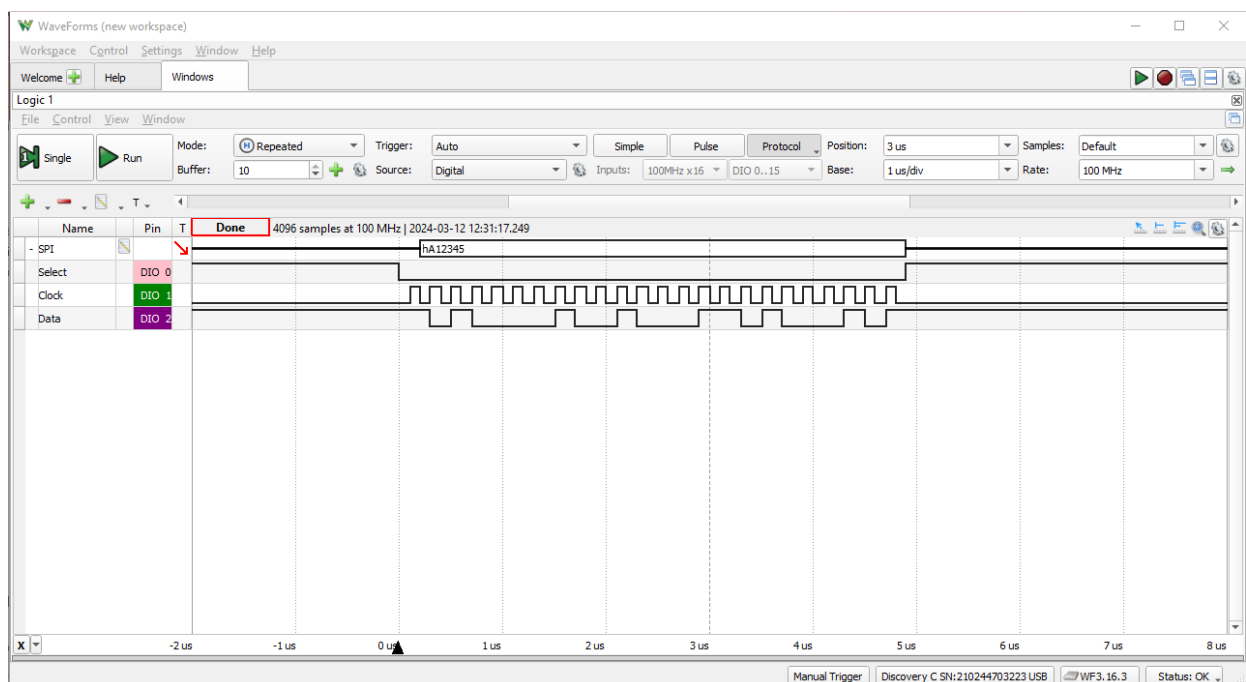
Do implementacji interfejsu z użyciem FSM potrzebne są zatem: maszyna stanów kontrolera reagująca na sygnały wyzwalające transmisję, informująca o zakończeniu transmisji i sterująca sygnałami kontrolnymi (np. linią CS, pracą licznika bitów, czy nadawaniem sygnału zegarowego), a także rejestr przesuwany i logika przejść stanów i kontrolująca linie zewnętrzne interfejsu.

3. ANALIZA ZA POMOCĄ URZĄDZENIA ANALOG DISCOVERY

Transmisję na magistrali SPI można zaobserwować analizatorem stanów logicznych wbudowanym w Analog Discovery. Wyprowadzenia analizatora wystarczy podpiąć do niebieskich złączy na makiecie umieszczonych nad wyświetlaczem OLED.



Do sterowania urządzeniem służy oprogramowanie WaveForms. W trybie analizatora wybrać można opcję automatycznego dekodowania danych z magistrali. Na załączonym obrazku widać przesyłane 24 bity ze słowem szesnastkowym xA12345. Analog Discovery jako analizator stanów logicznych może również pracować w trybie pojedynczej rejestracji (Record), wyzwalanej różnymi zdarzeniami sygnałowymi, np. zboczeniami sygnałów.



4. ZADANIA DO WYKONANIA

4.1. ZADANIA

4.1.1. Kontrola układu przetwornika MAX5705

Zaimplementować automat (FSM) realizujący transmisję 24 bitów przez interfejs SPI w trybie Master do układu MAX5705. Komponent Debouncera zrealizowany w ramach jednego z poprzednich ćwiczeń wykorzystać w roli układu sterującego transmisją (**inicjującego ją po każdym naciśnięciu przycisku**). Poprawne działanie zweryfikować za pomocą symulacji i oscyloskopu podłączonego do wyprowadzeń na makiecie.

4.1.2. Zaprojektowany automat rozwinąć o konfigurację układu MAX5705:

- zaimplementowaną w poprzednim zadaniu maszynę wyposażyć w dodatkowy stan sterujący linią LDAC i użyć jej jako kontrolera przetwornika
- zakodować drugą maszynę stanów w VHDL realizującą sterownik kontrolera SPI i działający w dwóch krokach:
 1. wysłanie danych konfiguracji przetwornika (rejestr REF – b0010),
 2. ciągłe wysyłanie danych pożądanego napięcia wyjściowego (rejestr CODE lub CODE_LOAD).